

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication 1020030024551

number: A

(43)Date of publication of application:

26.03.2003

(21)Application 1020020026014
number:

(71)Applicant: MITSUBISHI DENKI
KABUSHIKI KAISHA

(22)Date of filing: 11.05.2002

(72)Inventor: KAWAI KENJI
NAKAJIMA YUSUKE
SHIOZAWA
KENICHIRO

(51)Int. Cl H01L 21 /768

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57) Abstract:

PURPOSE: To stably form a protection film at the base of a via hole and to suppress deterioration of precision in the via hole size while the generation of a sub-trench and deformation are suppressed on the surface of first wiring. CONSTITUTION: First wiring 2 is formed in a first interlayer insulating film 1. An etching stopper film 16 is formed on the first wiring 2. A second interlayer insulating film 3 and a reflection preventing film 4 are sequentially formed on the etching stopper film 16. The via hole 6 passing through the second interlayer insulating film 3 and the reflection preventing film 4 is formed so that it reaches the etching stopper film 16. An organic film 17 is formed in the via hole 6 and a trench 10 is formed to reach the organic film 17 in the second interlayer insulating film 4. The partial surface of first wiring 2 is exposed by removing the reflection preventing film 4 and the etching stopper film 16 at the base of the via hole 6. Second wiring 13 is formed in the trench 10 and the via hole 6.

copyright KIPO & JPO 2003

BEST AVAILABLE COPY

Legal Status

Date of request for an examination (20020511)

Notification date of refusal decision (00000000)

Final disposal of an application (abandonment)

Date of final disposal of an application (20050831)

Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) Int. Cl. 7
H01L 21/768

(11) 공개번호 특2003 -0024551
(43) 공개일자 2003년03월26일

(21) 출원번호 10 -2002 -0026014
(22) 출원일자 2002년05월11일

(30) 우선권주장 JP -P -2001 -00283327 2001년09월18일 일본 (JP)

(71) 출원인 미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 가와이겐지
일본도쿄도지요다구마루노우치2초메2 -3미쓰비시덴키가부시카가이샤내
시오자와겐이찌로
일본도쿄도지요다구마루노우치2초메2 -3미쓰비시덴키가부시카가이샤내
나카지마유스케
일본도쿄도지요다구마루노우치2초메2 -3미쓰비시덴키가부시카가이샤내

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

제1 층간 절연막(1) 내에 제1 배선(2)을 형성한다. 제1 배선(2) 위에 에칭 스톱퍼막(16)을 형성한다. 에칭 스톱퍼막(16) 위에 제2 층간 절연막(3)과 반사 방지막(4)을 순차적으로 형성하고, 에칭 스톱퍼막(16)에 도달하도록 제2 층간 절연막(3)과 반사 방지막(4)을 관통하는 비어 홀(6)을 형성한다. 비어 홀(6) 내에 유기막(17)을 형성하고, 제2 층간 절연막(4)에 유기막(17)에 도달하는 트렌치(10)를 형성한다. 반사 방지막(4)과 비어 홀(6)의 바닥부의 에칭 스톱퍼막(16)을 제거함으로써 제1 배선(2)의 일부 표면을 노출시켜, 트렌치(10) 내 및 비어 홀(6) 내에 제2 배선(13)을 형성한다.

도 1

색인어

층간 절연막, 에칭 스톱퍼막, 반사 방지막, 트렌치, 배선

명세서

도면의 간단한 설명

도 1a~도 1f는, 본 발명의 실시예1에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

도 2a~도 2f는, 본 발명의 실시예2에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

도 3a~도 3f는, 본 발명의 실시예3에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

도 4a~도 4f는, 본 발명의 실시예4에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

도 5a와 도 5b는, 본 발명의 실시예4에 따른 반도체 장치의 제조 방법의 제1 변형예의 특징적인 공정을 도시한 단면도.

도 6a와 도 6b는, 본 발명의 실시예4에 따른 반도체 장치의 제조 방법의 제2 변형예의 특징적인 공정을 도시한 단면도.

도 7a~도 7f는 본 발명의 실시예5에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

도 8은 본 발명의 실시예5에 따른 반도체 장치의 제조 공정의 제7 공정을 도시한 단면도이고, 또한 본 실시예5에 따른 반도체 장치를 도시한 단면도.

도 9는 본 발명의 실시예5에 따른 반도체 장치의 제조 방법의 변형예의 특징적인 공정을 도시한 단면도.

도 10a~도 10f는 종래의 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

- 1 : 제1 층간 절연막
- 2 : 제1 배선
- 3 : 제2 층간 절연막
- 3a : 하층 층간 절연막
- 3b : 상층 층간 절연막
- 4 : 반사 방지막
- 5, 9 : 포토레지스트
- 6 : 비아홀
- 7, 11 : 서브 트렌치

8 : 변질층

10, 20, 21, 22 : 트렌치

12 : 배리어층

13 : 제2 배선

14, 15 : 보이드

16 : 에칭 스톱퍼막

17 : 유기막(보호막)

18 : 상층 에칭 스톱퍼막

23 : 테이퍼부 (facet)

24 : 단선 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 듀얼 다마신(Dual Damascene) 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

도 10a~도 10f에, 종래의 듀얼 다마신 구조를 갖는 반도체 장치의 프로세스 플로우를 도시한다. 여기서, 듀얼 다마신 구조란, 절연막을 에칭하여 배선용의 트렌치와 층간 도통용의 비아홀을 일체화하여, 이들에 각각 다마신 프로세스를 통해 배선 재료를 배립하여 형성한 구조를 의미한다.

도 10a에 도시한 바와 같이, 제1 층간 절연막(1) 내에 형성된 제1 배선(2) 상에 제2 층간 절연막(3), 반사 방지막(4) 및 포토레지스트(5)를 형성한다. 포토레지스트(5)를 소정 형상으로 패터닝하여, 이 포토레지스트(5)를 마스크로 하여 에칭을 행하여, 비아홀(6)을 형성한다.

이것에 의해서, 제1 배선(2)의 표면이 노출된다. 그러나, 비아홀(6)의 형성을 위한 에칭에 의해, 도 10a에 도시한 바와 같이 비아홀(6)의 바닥부에 서브 트렌치(오목부 : 7)가 형성된다. 이 서브 트렌치(7)는 비아홀(6)의 형성시 오버 에칭이 길어지면 증대한다.

이어서, 도 10b에 도시한 바와 같이 O_2 플라즈마를 사용하여 포토레지스트(5)를 제거한다. 이 때, 제1 배선(2)의 표면이 노출되어 있으므로, 제1 배선(2)의 표면이 O_2 플라즈마에 의해 산화되어 변질되며, 제1 배선(2)의 표면에 변질층(8)이 형성된다.

반사 방지막(4) 상에 포토레지스트(9)를 형성하고, 이 포토레지스트(9)를 소정 형상으로 패터닝한다. 이 포토레지스트(9)를 마스크로 하여 에칭을 행함으로써, 도 10c에 도시한 바와 같이 트렌치(10)를 형성한다. 이 때에도, 트렌치(10) 바닥부에 서브 트렌치(11)가 형성된다. 다른 한편으로, 비아홀(6)의 바닥부의 서브 트렌치(7)는 증대한다.

이어서, 도 10d에 도시한 바와 같이 O_2 플라즈마를 사용하여 포토레지스트(9)를 제거한다. 이 O_2 플라즈마에 노출되고, 또한 제1 배선(2)의 표면은 변질된다. 그 후, 도 10e에 도시한 바와 같이 전면 에칭을 행하여, 반사 방지막(4)을 제거한다. 이 전면 에칭에 의해 서브 트렌치(7, 11)가 더 증대한다.

이어서, 트렌치(10)내 및 비아홀(6) 내에 배리어층(12)과 제2 배선(13)을 형성하고, 도 10f에 도시한 바와 같이 CMP (Chemical Mechanical Polishing)로 이들을 평탄화한다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이, 제1 배선(2)의 표면에 변질층(8)이 형성되면, 제2 배선(13)과의 접속·밀착성이 악화되어, 저항이 증대한다. 또한, 서브 트렌치(7, 11)가 형성되면, 배리어층(12)의 매립성이 악화되어, 보이드(14, 15)가 형성되고, 오픈 불량률도 야기시킨다. 또한, 도 10f에 도시한 바와 같이 배리어층(12)의 매립성이 악화되면, 영역(24) 내에서 제1 배선(2)과 제2 배선(13)이 단선되어, 제1 배선(2)과 제2 배선(13) 사이의 단선 불량률도 발생할 수 있다.

그래서, 상술된 종래 기술의 개량으로서 특개2001 -102449 공보, 특개2000 -150644 공보 및 특개2000 -208620 공보에 기재된 발명이 있다.

특개2001 -102449 공보에 기재된 발명에서는, 트렌치 형성용의 포토레지스트의 형성과 동시에 홀 바닥에 포토레지스트가 남아 있다. 그 때문에, 홀 바닥에 남아 있는 포토레지스트의 높이를 조정하기 어렵다는 문제가 있다.

특개2000 -150644 공보에 기재된 발명에서는, 포토레지스트가 남아 있는 상태에서 하층 배선을 노출시킨 후에, 애싱을 행한다. 그 때문에, 하층 배선의 표면이 변질되어, 저항이 증대한다는 문제가 생긴다.

특개2000 -208620 공보에 기재된 발명에서는, 접속홀용의 홀의 형성시에 반사 방지막이 형성되지 않는다. 그 때문에, 홀의 치수 정밀도가 열화한다는 문제가 생긴다.

본 발명은 상기한 과제를 해결하기 위해 이루어진 것이다. 본 발명의 목적은, 서브 트렌치의 생성 및 제1 배선 표면의 변질을 억제하면서, 비아홀 바닥에 안정적으로 보호막을 형성하고, 또한 비아홀의 치수 정밀도의 열화도 억제하는 것에 있다.

발명의 구성 및 작용

본 발명의 하나의 양태에 따른 반도체 장치의 제조 방법은, 제1 층간 절연막 내에 제1 배선을 형성하는 공정과, 제1 배선 위에 에칭 스톱퍼막을 형성하는 공정과, 에칭 스톱퍼막 위에 제2 층간 절연막과 반사 방지막을 순차적으로 형성하는 공정과, 에칭 스톱퍼막에 도달하도록 제2 층간 절연막과 반사 방지막을 관통하는 비아홀을 형성하는 공정과, 비아홀 내에 보호막을 형성하는 공정과, 제2 층간 절연막에 보호막에 도달하는 트렌치를 형성하는 공정과, 반사 방지막과 비아홀의 바닥부의 에칭 스톱퍼막을 제거함으로써 제1 배선의 일부 표면을 노출시키는 공정과, 트렌치내 및 비아홀 내에 제2 배선을 형성하는 공정을 포함한다.

상기한 바와 같이 제1 배선 위에 에칭 스톱퍼막을 형성하고 있으므로, 비아홀을 형성할 때 에칭 스톱퍼막에 의해 에칭을 멈추게 할 수 있어, 제1 배선이 비아홀 바닥에 노출되는 것을 방지할 수 있다. 또한, 비아홀 바닥에 서브 트렌치가 형성되는 것을 저지할 수도 있다. 또한, 비아홀 내에 유기막 등을 포함하는 보호막을 형성함으로써, 비아홀 바닥 및 에칭 스톱퍼막을 보호할 수 있다. 이 때, 트렌치 형성용 마스크와 보호막을 별도의 공정으로 형성함으로써, 비아홀 바닥으로부터의 보호막의 높이를 용이하게 조정할 수 있다. 또한, 제2 층간 절연막 위에 반사 방지막을 형성함으로써, 비아홀의 치수 정밀도의 열화도 억제할 수 있다.

상기 제2 층간 절연막은, 상층 층간 절연막과 하층 층간 절연막을 갖는 것이 바람직하다. 이 때, 제2 층간 절연막을 형성하는 공정은, 하층 층간 절연막 위에 상층 층간 절연막을 형성하는 공정을 포함한다.

이와 같이 제2 층간 절연막을 복수의 층간 절연막으로 구성함으로써, 층간 절연막의 경계부에서 트렌치 형성을 위한 에칭을 멈추게 할 수 있어, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 저지할 수 있다.

상층 층간 절연막과 하층 층간 절연막 사이에, 상층 에칭 스톱퍼막을 설치하는 것이 바람직하다. 이 경우, 제2 층간 절연막을 형성하는 공정은, 하층 층간 절연막 위에 상층 에칭 스톱퍼막을 사이에 두고 상층 층간 절연막을 형성하는 공정을 포함하며, 트렌치를 형성하는 공정은 상층 에칭 스톱퍼막에 의해 에칭을 멈추게 하는 공정을 포함한다.

이와 같이 상층 에칭 스톱퍼막을 설치함으로써, 트렌치 형성 시에 상층 에칭 스톱퍼막에 의해 에칭을 멈추게 할 수 있다. 이에 따라, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 저지할 수 있다.

상층 층간 절연막과 하층 층간 절연막을 다른 재질로 구성해도 된다. 이 경우, 트렌치를 형성하는 공정은, 하층 층간 절연막에 의해 에칭을 멈추게 함으로써 상층 층간 절연막에 트렌치를 형성하는 공정을 포함한다.

이와 같이 상층 층간 절연막과 하층 층간 절연막을 다른 재질로 구성함으로써, 트렌치 형성 시에 하층 층간 절연막에 의해 에칭을 멈추게 할 수 있다. 이 경우에도, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 저지할 수 있다. 특히 상층 층간 절연막의 에칭 속도보다도 하층 층간 절연막의 에칭 속도가 낮도록 상층 층간 절연막과 하층 층간 절연막의 재질을 선택하는 것이 효과적이다.

상기 트렌치를 형성하는 공정은, 제2 층간 절연막에 등방성 에칭을 실시하는 공정을 포함하는 것이 바람직하다. 이것에 의해, 제2 층간 절연막 상면으로부터 비아홀을 향하여 완만하게 경사진 벽면을 갖고, 라운딩 처리된 엣지를 갖는 트렌치를 형성할 수 있어, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다.

상기 등방성 에칭을, 1.33Pa 이상 26.6Pa 이하의 압력 하에서 드라이 에칭을 행해도 된다. 이것에 의해, 상기한 바와 같은 형상의 트렌치를 형성할 수 있으며, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다.

상기 트렌치를 형성하는 공정은, 등방성 에칭을 행한 후에 이방성 에칭을 행하는 공정을 포함하는 것이 바람직하다. 이 경우에도, 사전에 등방성 에칭을 행함으로써, 트렌치 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다.

제2 배선을 형성하는 공정은, 트렌치 및 비아홀의 상단 코너부에 테이퍼부를 형성하는 공정을 포함하는 것이 바람직하다. 이것에 의해, 제2 배선의 매립 특성을 개선할 수 있다.

상기 보호막을 형성하는 공정은, 비아홀 형성 후에 포토레지스트를 전면 도포하는 공정과, 포토레지스트를 에칭함으로써 비아홀 내에 포토레지스트를 남기는 공정을 포함하는 것이 바람직하다. 또한, 보호막을 형성하는 공정은, 비아홀 형성 후에 포토레지스트를 전면 도포하는 공정과, 포토레지스트에 노광 처리 및 현상 처리를 실시하여 비아홀 내에 포토레지스트를 남기는 공정을 포함해도 된다.

상기한 바와 같이 보호막을 비아홀 형성을 마스크와는 별도의 공정으로 형성함으로써, 비아홀 바닥으로부터의 보호막의 높이를 용이하게 조정할 수 있다.

본 발명의 다른 양태에 따른 반도체 장치의 제조 방법은, 제1 층간 절연막 내에 제1 배선을 형성하는 공정과, 제1 배선 위에 에칭 스톱퍼막을 형성하는 공정과, 에칭 스톱퍼막 위에 제2 층간 절연막과 반사 방지막을 순차적으로 형성하는 공정과, 제2 층간 절연막에 등방성 에칭을 실시함으로써 트렌치를 형성하는 공정과, 에칭 스톱퍼막에 도달하도록 트렌치 아래에 비아홀을 형성하는 공정과, 반사 방지막과 비아홀 바닥부의 에칭 스톱퍼막을 제거함으로써 제1 배선의 일부 표면을 노출시키는 공정과, 트렌치 내 및 비아홀 내에 제2 배선을 형성하는 공정을 포함한다.

상기한 바와 같이 트렌치 형성 후에 비아홀을 형성함으로써, 비아홀 내에 보호막을 형성하는 공정을 생략할 수 있어, 프로세스를 간략화할 수 있다.

본 발명에 따른 반도체 장치는, 상술한 것 중 어느 하나에 기재된 제조 방법에 의해 제조된 배선 구조를 갖는다. 이것에 의해, 신뢰성이 높고, 고성능인 반도체 장치를 얻을 수 있다.

< 발명의 실시예 >

이하, 본 발명의 실시예에 대하여 도 1~도 9를 이용하여 설명한다.

(실시예1)

도 1a~도 1f는 본 실시예1에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도이다.

도 1a에 도시한 바와 같이, 제1 층간 절연막(1)에 트렌치를 형성하고, 그 트렌치 내에 제1 배선(2)을 매립한다. 제1 배선(2)은 Cu, Ag, Au, Pt 등으로 구성된다. 제1 배선(2)이 피복되도록 에칭 스톱퍼막(16)을 형성한다. 에칭 스톱퍼막(16)은, 예를 들면 SiN이나 SiC로 구성되며, 20nm~150nm 정도의 두께이고, CVD(Chemical Vapor Deposition)법 등으로 형성할 수 있다.

에칭 스톱퍼막(16) 위에, CVD법 등으로 제2 층간 절연막(3)을 형성한다. 제2 층간 절연막(3)은 저유전률의 절연막으로 구성되는 것이 바람직한데, 예를 들면 실리콘 산화막계 저유전률막(SiOC, SiOF) 등을 채용할 수 있다.

제2 층간 절연막(3) 위에, 반사 방지막(4)을 형성한다. 제2 층간 절연막(3)의 에칭 조건에 가까운 조건으로 에칭하기 쉽기 때문에, 카본계 유기물의 반사 방지막보다도 플라즈마 CVD -SiN이나 플라즈마 CVD -SiON 등의 무기의 반사 방지막을 사용하는 것이 바람직하다.

반사 방지막(4) 위에 포토레지스트(5)를 도포하고, 이것을 소정 형상으로 패터닝한다. 이 패터닝된 포토레지스트(5)를 마스크로 하여 RIE(Reactive Ion Etching) 등의 드라이 에칭을 행하여, 반사 방지막(4)과 제2 층간 절연막(3)을 에칭하고, 에칭 스톱퍼막(16)에 의해 에칭을 정지시킨다.

이에 의해, 비아홀(6)을 형성한다. 이 때, 에칭 스톱퍼막(16)이 비아홀(6) 바닥부에 남아 있으므로, 비아홀(6) 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다. 또한 반사 방지막(4)을 형성하고 있으므로, 비아홀(6)의 치수 정밀도를 향상시킬 수 있다.

이어서, O₂ 플라즈마를 사용하여 포토레지스트(5)를 제거한다. 이 때, 에칭 스톱퍼막(16)이 비아홀(6) 바닥부에 남아 있으므로, 제1 배선(2) 표면이 변질되는 일은 없다. 단, 에칭 스톱퍼막(16)은 배선간 용량을 발생시키므로, 에칭 스톱퍼막(16)을 저유전률의 막으로 구성하는 것이 바람직하다. 이러한 관점에서 보면, 에칭 스톱퍼막(16)은, 20nm~150nm 정도의 두께의 SiC를 채용하는 것이 바람직하다.

이어서, 전면에 예를 들면 포토레지스트 등의 유기막을 도포하고, 전면 에칭을 실시한다. 이것에 의해, 도 1b에 도시한 바와 같이 비아홀(6) 내에 유기막(보호막 : 17)을 매립한다. 다른 방법으로서, 전면에 포토레지스트를 도포하고, 노광량을 조정하여 노광을 행하고, 현상을 행해도 된다. 이 방법으로도 비아홀(6) 내에 유기막(17)을 매립할 수 있다. 이와 같이 비아홀(6) 내에 유기막(17)을 매립함으로써, 비아홀(6) 바닥부로부터의 유기막(17)의 높이를 용이하게 조절할 수 있다.

이어서, 반사 방지막(4) 상에 포토레지스트(9)를 도포하고, 이것을 소정 형상으로 패터닝한다. 이 패터닝된 포토레지스트(9)를 마스크로 하여 반사 방지막(4)과 제2 층간 절연막(3)을 에칭한다. 이것에 의해서, 도 1c에 도시한 바와 같이 유기막(17)에 도달하는 트렌치(10)를 형성한다.

이 때, 트렌치(10)의 바닥부에는 서브 트렌치(11)가 형성되지만, 비아홀(6) 바닥부에는 유기막(17)이 존재하므로, 제1 배선(2)의 표면이 노출되는 일은 없다. 또한, 에칭 스톱퍼막(16)에 서브 트렌치가 형성되는 것도 억제할 수 있다.

트렌치(10)의 저면은 유기막(17)의 상면과 동일한 높이인 것이 바람직하다. 그러나, 유기막(17)의 상면의 높이가 곤란하고, 또한 비아홀(6)의 직경이 확대되는 것을 확실하게 방지하기 위해, 유기막(17)의 상면이 트렌치(10)의 저면보다도 높은 위치가 되도록 유기막(17)의 상면의 높이 혹은 트렌치(10) 저면의 높이를 조정한다.

이어서, 도 1d에 도시한 바와 같이 O_2 플라즈마를 사용하여 포토레지스트 (9)를 제거한다. 이와 동시에, 유기막 (17)도 제거된다.

이어서, 전면 에칭을 행하고, 도 1e에 도시한 바와 같이, 반사 방지막 (4)을 제거함과 함께 에칭 스톱퍼막 (16)도 제거한다. 이것에 의해, 제1 배선 (2)의 일부 표면이 노출된다. 이 때, 반사 방지막 (4)과 에칭 스톱퍼막 (16)의 에칭 속도에 따라 서로의 막 두께를 조정하면, 제2 층간 절연막 (3)이나 제1 배선 (2)의 막 감소량을 억제할 수 있다.

상기한 에칭에 의해, 서브 트렌치는 어느 정도 증대하지만, 비아홀 (6) 바닥부에는 에칭 스톱퍼막 (16)에 형성되어 있기 때문에 서브 트렌치의 형성을 억제할 수 있다. 또한, 상기 에칭에 있어서, 에칭 스톱퍼막 (16)을 제2 층간 절연막 (3)에 대하여 선택적으로 제거하기 때문에, 에칭 가스에 첨가된 O_2 량이 증가하므로, 플루오르 카본, 하이드로플루오르 카본계 가스에 대하여 O_2 유량이 10% 이상이 되도록 설정한다.

이어서, 스퍼터링법이나 CVD법을 이용하여, 배리어층 (12)과 제2 배선 (13)을 형성한다. 배리어층 (12)으로서는 Ta/TaN을 사용할 수 있고, 제2 배선 (13)으로서는 Cu를 사용할 수 있다. 그 후, CMP법으로 배리어층 (12)과 제2 배선 (13)을 연마하고, 도 1f에 도시한 바와 같이 이들의 표면을 평탄화한다. 이상의 공정을 거쳐, 도 1f에 도시한 듀얼 다마신 구조를 얻을 수 있다.

전술한 바와 같이 비아홀 (6) 바닥부에 에칭 스톱퍼막 (16) 및 유기막 (17)을 형성함으로써, 제1 배선 (2)의 표면으로의 플라즈마 조사 시간을 단축할 수 있으며, 또한 제1 배선 (2)의 표면의 변질 및 서브 트렌치의 생성을 억제할 수 있다. 또한, 제1 배선 (2)의 표면이 애싱 시, O_2 플라즈마에 노출되지 않으므로, 산화에 의한 제1 배선 (2)의 표면의 변질도 억제할 수 있다.

따라서, 제1 배선 (2)과 제2 배선 (13) 사이의 저항 증대나 단선 불량이 억제되어, 듀얼 다마신 구조를 갖는 신뢰성이 높은 반도체 장치를 얻을 수 있게 된다.

(실시예2)

이어서, 본 발명의 실시예2에 대하여 도 2a~도 2f를 이용하여 설명한다. 도 2a~도 2f는 본 실시예2에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도이다.

본 실시예2에서는, 제2 층간 절연막 (3)을 복수의 절연막으로 구성하고, 이 복수의 절연막 사이에 에칭 스톱퍼막을 형성하고 있다. 그 외의 구성에 대해서는 실시예1과 동일하다.

도 2a에 도시한 바와 같이, 실시예1과 마찬가지로의 방법으로 에칭 스톱퍼막 (16)까지 형성하고, 그 위에 CVD법 등으로 하층 층간 절연막 (3a)을 형성한다. 하층 층간 절연막 (3a)의 재질은 실시예1에서의 제2 층간 절연막 (3)의 재질과 동일한 것으로 해도 된다.

하층 층간 절연막 (3a) 위에, CVD법 등으로 상층 에칭 스톱퍼막 (18)을 형성한다. 이 상층 에칭 스톱퍼막 (18)의 재질은, 실시예1에서의 에칭 스톱퍼막 (16)의 재질과 동일한 것으로 해도 된다.

상층 에칭 스톱퍼막 (18) 위에, CVD법 등에 의해 상층 층간 절연막 (3b)을 형성한다. 상층 층간 절연막 (3b)의 재질은, 하층 층간 절연막 (3a)의 재질과 동일한 것으로 해도 된다. 또한, 상층 층간 절연막 (3b)의 두께는, 예를 들면 350nm 내지 1200nm 정도로, 하층 층간 절연막 (3a)의 1배 내지 4배 정도인 것이 바람직하다.

상층 층간 절연막 (3b) 위에, 실시예1과 마찬가지로의 방법으로, 반사 방지막 (4)과 포토레지스트 (5)를 형성한다. 이 포토레지스트 (5)를 마스크로 하여 에칭을 행하고, 도 2a에 도시한 바와 같이, 에칭 스톱퍼막 (16)에 도달하는 비아홀 (6)을 형성한다.

그 후, 실시예1와 마찬가지로의 방법으로, 도 2b에 도시한 바와 같이 유기막 (17)을 형성하고, 반사 방지막 (4) 위에 포토레지스트 (9)를 형성한다. 포토레지스트 (9)를 마스크로 하여 반사 방지막 (4)과 상층 층간 절연막 (3b)을 에칭하여, 도 2c에 도시한 바와 같이 상층 에칭 스톱퍼막 (18)에 의해 에칭을 정지시킨다.

이것에 의해, 트렌치(10)를 형성한다. 이 때, 상층 에칭 스톱퍼막(18)이 있기 때문에, 트렌치(10) 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다. 이 상층 에칭 스톱퍼막(18)에 의해서도 배선간 용량은 발생하므로, 상층 에칭 스톱퍼막(18)은 SiC 등의 저유전률의 막으로 구성되는 것이 바람직하다.

이어서, 실시예1과 마찬가지로의 방법으로, 도 2d에 도시한 바와 같이 포토레지스트(9) 및 유기막(17)을 제거하고, 그 후, 도 2e에 도시한 바와 같이 전면 에칭으로 반사 방지막(4)을 제거하고, 에칭 스톱퍼막(16) 및 상층 에칭 스톱퍼막(18)을 선택적으로 제거한다. 이 때, 상층 에칭 스톱퍼막(18)을 형성함으로써, 트렌치(10)의 바닥부에 서브 트렌치가 발생하는 것을 억제할 수 있다.

이어서, 실시예1과 마찬가지로의 방법으로, 비아홀(6) 및 트렌치(10) 내에 배리어층(12)과 제2 배선(13)을 형성하고, 이들 표면을 평탄화한다. 이상의 공정을 통해 도 2f에 도시한 듀얼 다마신 구조를 얻을 수 있다.

본 실시예2에 따르면, 실시예1에서 설명한 효과 외에, 트렌치(10)의 바닥부에 서브 트렌치가 발생하는 것을 억제할 수 있다. 따라서, 실시예1보다도 더 신뢰성이 높은 반도체 장치를 얻을 수 있다.

(실시예3)

이어서, 본 발명의 실시예3에 대하여, 도 3a~도 3f를 이용하여 설명한다. 도 3a~도 3f는 본 실시예3에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도이다.

본 실시예3에서는, 제2 층간 절연막(3)을 복수의 절연막으로 구성하고, 이 복수의 절연막의 재질을 다르게 하고 있다. 그 외의 구성에 대해서는 실시예1과 마찬가지이다.

도 3a에 도시한 바와 같이, 실시예1과 마찬가지로의 방법으로 에칭 스톱퍼막(16)까지를 형성하고, 그 위에 CVD법 등에 의해 하층 층간 절연막(3a)과 상층 층간 절연막(3b)을 순차적으로 형성한다. 하층 층간 절연막(3a)의 재질로서는, 상층 층간 절연막(3b)보다도 에칭 속도가 낮은 재질을 선택한다.

구체적으로 설명하면, 예를 들면 하층 층간 절연막(3a)을 USG (Undoped Silicate Glass)로 구성한 경우, 상층 층간 절연막(3b)을 FSG(Fluorinated Silicate Glass)로 구성하고, 하층 층간 절연막(3a)을 TEOS(Tetra Ethyle Ortho Silicate)로 구성한 경우, 상층 층간 절연막(3b)을 SiOC로 구성한다.

상층 층간 절연막(3b) 위에, 실시예1과 마찬가지로의 방법으로, 반사 방지막(4)과 포토레지스트(5)를 형성한다. 이 포토레지스트(5)를 마스크로 하여 에칭을 행하고, 도 3a에 도시한 바와 같이 에칭 스톱퍼막(16)에 도달하는 비아홀(6)을 형성한다.

그 후, 실시예1과 마찬가지로의 방법으로, 도 3b에 도시한 바와 같이 유기막(17)을 형성하고, 반사 방지막(4) 위에 포토레지스트(9)를 형성한다. 포토레지스트(9)를 마스크로 하여 반사 방지막(4)과 상층 층간 절연막(3b)을 에칭하고, 도 3c에 도시한 바와 같이 하층 층간 절연막(3a)에 의해 에칭을 정지시킨다. 이 때, 하층 층간 절연막(3a)이 에칭 스톱퍼막과 마찬가지로의 역할을 하기 때문에, 트렌치(10)의 바닥부에 서브 트렌치가 생성되는 것을 억제할 수 있다.

이어서, 실시예1과 마찬가지로의 방법으로, 도 3d에 도시한 바와 같이 포토레지스트(9) 및 유기막(17)을 제거하고, 그 후 도 3e에 도시한 바와 같이 전면 에칭에 의해 반사 방지막(4)과, 제1 배선 위의 에칭 스톱퍼막(16)을 제거한다. 이 때, 하층 층간 절연막(3a)으로서 에칭 속도가 낮은 재질을 선택함으로써, 트렌치(10)의 바닥부에 서브 트렌치가 발생하는 것을 억제할 수 있다.

이어서, 실시예1과 마찬가지로의 방법으로, 비아홀(6) 및 트렌치(10) 내에 배리어층(12)과 제2 배선(13)을 형성하여, 이들 표면을 평탄화한다. 이상의 공정을 통해, 도 3f에 도시한 듀얼 다마신 구조를 얻을 수 있다.

본 실시예3에 따르면, 실시예1에서 설명한 효과 외에, 트렌치(10)의 바닥부에 서브 트렌치가 발생하는 것을 억제할 수 있다. 따라서, 실시예1보다도 더 신뢰성이 높은 반도체 장치를 얻을 수 있다.

(실시예4)

이어서, 본 발명의 실시예4에 대하여, 도 4~도 6을 이용하여 설명한다. 도 4a~도 4f는 본 실시예4에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도이다. 도 5a 및 도 5b는 도 4a~도 4f에 도시한 프로세스의 제1 변형예에서의 특징적인 프로세스를 도시한 단면도이고, 도 6a 및 도 6b는 도 4a~도 4f에 도시한 프로세스의 제2 변형예에서의 특징적인 프로세스를 도시한 단면도이다.

본 실시예4에서는, 트렌치 형성시에 등방성 에칭을 행하는 것을 중요한 특징으로 한다. 이것에 의해, 제2 층간 절연막(3)의 표면 비아홀(6)을 향하여 완만하게 경사진 벽면을 갖는 트렌치를 형성할 수 있으며, 트렌치의 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다.

도 4a 및 도 4b에 도시한 바와 같이, 실시예1과 마찬가지로의 공정을 통해 유기막(17)까지 형성한다. 그리고, 도 4c에 도시한 바와 같이 반사 방지막(4) 위에 포토레지스트(9)를 형성하고, 이 포토레지스트(9)를 마스크로 하여 등방성 에칭을 행한다. 이 에칭은, 예를 들면 $\text{HF} + \text{NH}_4\text{OH} + \text{H}_2\text{O}_2$ 등을 이용한 웨트 에칭에 의해 행할 수 있다. 상기 에칭을 행함으로써, 상방을 향하여 오픈된 형상의 트렌치(20)를 형성할 수 있다.

이어서, 실시예1과 마찬가지로의 방법으로, 도 4d에 도시한 바와 같이 포토레지스트(9) 및 유기막(17)을 제거하고, 그 후 도 4e에 도시한 바와 같이 전면 에칭에 의해 반사 방지막(4)과, 제1 배선 위의 에칭 스톱퍼막(16)을 제거한다. 이때, 트렌치(20)의 형상은, 아래로 볼록한 형상(밥공기와 같은 형상)이므로, 서브 트렌치가 형성되는 것을 억제할 수 있다.

그 후, 실시예1과 마찬가지로의 방법으로, 비아홀(6) 및 트렌치(20) 내에 배리어층(12)과 제2 배선(13)을 형성하고, 이들 표면을 평탄화한다. 이상의 공정을 통해, 도 4f에 도시한 듀얼 다마신 구조를 얻을 수 있다.

본 실시예4에서는, 트렌치(20)를 밥공기 형상으로 했으므로, 실시예1에서 설명한 효과 외에, 트렌치(20)의 바닥부에 서브 트렌치가 형성되는 것을 억제하고, 또한 배리어층(12)과 제2 배선(13)의 매립성도 향상시킬 수 있다. 이것에 의해, 더 신뢰성이 높은 반도체 장치를 얻을 수 있다.

이어서, 도 5a 및 도 5b를 이용하여, 상술한 프로세스의 제1 변형예에 대하여 설명한다.

본 변형예에서는, 도 5a에 도시한 바와 같이 포토레지스트(5)를 남긴 상태에서 실시예1과 마찬가지로의 방법으로 유기막(17)을 형성하고, 포토레지스트(5)를 마스크로 하여 등방성 에칭을 행한다. 이것에 의해, 도 5b에 도시한 바와 같이 트렌치(20)를 형성할 수 있다. 그 이후의 프로세스는, 상술한 실시예4와 마찬가지이다.

상기 등방성 에칭은, $\text{CF}_4 + \text{O}_2 + \text{Ar}$ 가스 플라즈마 등을 이용하여 10mTorr(1.33Pa) 이상 200mTorr(26.6Pa) 이하의 압력 하에서의 드라이 에칭에 의해 행해도 되며, $\text{HF} + \text{NH}_4\text{OH} + \text{H}_2\text{O}_2$ 등을 이용한 웨트 에칭에 의해 행해도 된다.

이 경우에는, 포토레지스트(9)를 형성할 필요가 없어져, 포토레지스트(9)의 형성 공정을 생략할 수 있다. 이것에 의해, 프로세스를 간략화할 수 있다. 또한 드라이 에칭을 채용한 경우에는, 예를 들면 반사 방지막(4)과 제2 층간 절연막(3) 사이로 웨트 에칭액이 스며들 가능성이 없다. 또한, 등방성 에칭의 경우에도 치수 제어가 쉽다. 한편, 웨트 에칭을 채용한 경우에는, 기초막과의 선택비가 커져, 비아홀 내의 유기 보호막이 불필요해진다.

이어서, 도 6a 및 도 6b를 이용하여, 상술한 프로세스의 제2 변형예에 대하여 설명한다.

본 변형예에서는, 도 6a에 도시한 바와 같이 포토레지스트(5)를 마스크로 하여 등방성 에칭을 행하여 트렌치(20)를 형성하고, 그 후에 포토레지스트(5)를 마스크로 하여 이방성 에칭을 행하여 비아홀(6)을 형성하고 있다. 그 후, 포토레지스트(5)를 O_2 플라즈마 등으로 제거한다. 그 이후의 프로세스는, 상술한 실시예4와 마찬가지이다.

본 방법에 따르면, 비아홀(6)에 유기막(17)을 매립하는 공정을 삭감할 수 있어, 프로세스를 간략화할 수 있다.

(실시예5)

이어서, 본 발명의 실시예5에 대하여, 도 7~도 9를 이용하여 설명한다. 도 7a~도 7f는 본 실시예5에 따른 반도체 장치의 제조 공정의 제1~제6 공정을 도시한 단면도이다. 도 8은, 본 실시예5에 따른 반도체 장치의 제조 공정의 제7 공정을 도시한 단면도이고, 또한 본 실시예5에 따른 반도체 장치의 단면도이다. 도 9는, 도 7a~도 7f에 도시한 프로세스의 변형예에 있어서의 특징적인 프로세스를 도시한 단면도이다.

본 실시예5에서는, 등방성 에칭과 이방성 에칭을 행하여 트렌치(22)를 형성하는 것을 특징으로 한다. 이 경우에도, 트렌치(22)의 저면을 완만하게 경사진 면으로 할 수 있어, 서브 트렌치의 생성을 억제할 수 있다.

도 7a~도 7c에 도시한 바와 같이, 실시예1과 마찬가지로의 방법으로 포토레지스트(9)까지 형성한다. 이 포토레지스트(9)를 마스크로 하여 등방성 에칭을 행하여, 얇은 트렌치(21)를 형성한다. 이 트렌치(21)의 저면은, 도 7c에 도시한 바와 같이 완만하게 경사진 면으로 구성된다.

상기 등방성 에칭은, $C_5F_8 + O_2 + Ar$ 가스 플라즈마 등을 이용하여 10mTorr(1.33Pa)이상 200mTorr(26.6Pa) 이하의 압력 하에서의 드라이 에칭에 의해 행해도 되며, $HF + NH_4OH + H_2O_2$ 등을 이용한 웨트 에칭에 의해 행해도 된다.

이어서, 도 7d에 도시한 바와 같이, 포토레지스트(9)를 마스크로 하여 이방성 에칭을 행한다. 이러한 이방성 에칭은, $C_5F_8 + O_2 + Ar$ 가스 플라즈마 등을 이용하여 0.7mTorr(0.093Pa)이상 100mTorr(13.3Pa) 이하의 압력 하에서의 드라이 에칭에 의해 행할 수 있다.

상술한 에칭에 의해, 트렌치(22)를 형성한다. 이 때, 얇은 트렌치(21)를 미리 형성하므로, 트렌치(22)의 저면은 트렌치(21)의 저면 형상을 반영하여 완만한 경사면으로 구성된다. 이것에 의해, 트렌치(22)의 바닥부에 서브 트렌치가 형성되는 것을 억제할 수 있다.

이어서, 실시예1과 마찬가지로의 방법으로, 도 7e에 도시한 바와 같이 포토레지스트(9) 및 유기막(17)을 제거하고, 그 후 도 7f에 도시한 바와 같이 전면 에칭에 의해 반사 방지막(4)과, 제1 배선 위의 에칭 스톱퍼막(16)을 제거한다. 이 때, 트렌치(22)의 저면은 완만한 경사면으로 구성되고, 트렌치(22) 형상은 밑으로 볼록한 형상이므로, 서브 트렌치가 형성되는 것을 억제할 수 있다.

그 후, 실시예1과 마찬가지로의 방법으로, 비아홀(6) 및 트렌치(22) 내에 배리어층(12)과 제2 배선(13)을 형성하고, 이들 표면을 평탄화한다. 이상의 공정을 통해, 도 8에 도시한 듀얼 다마신 구조를 얻을 수 있다.

본 실시예5에서는, 트렌치(22)의 저면은 완만한 경사면으로 구성되므로, 실시예1에서 설명한 효과 외에, 트렌치(22)의 바닥부에 서브 트렌치가 형성되는 것을 억제하고, 또한 배리어층(12)과 제2 배선(13)의 매립성도 향상시킬 수 있다. 이것에 의해, 신뢰성이 더 높은 반도체 장치를 얻을 수 있다.

이어서, 도 9를 이용하여 본 실시예5의 변형예에 대하여 설명한다.

도 9에 도시한 바와 같이, 도 7f에 도시한 전면 에칭 프로세스에 있어서, 에칭 시의 압력을 100mTorr(13.3Pa) 이하로 설정하여 스퍼터링 효과를 강화하고, 비아홀(6)의 벽면의 상단부와 트렌치(22)의 벽면의 상단부에 테이퍼부(face t; 23)를 형성해도 된다. 이것에 의해, 제2 배선(13)의 매립성을 더 개선할 수 있다.

발명의 효과

본 발명에 따르면, 비아홀의 바닥에 에칭 스톱퍼막을 형성하고 있으므로, 제1 배선 위의 에칭 스톱퍼막을 제거할 때까지 제1 배선이 비아홀 바닥에서 노출되는 것을 방지할 수 있으며, 또한 비아홀의 바닥에 서브 트렌치가 형성되는 것도 저지할 수 있다. 또한, 비아홀의 바닥으로부터의 보호막의 높이도 용이하게 조정할 수 있다. 또한, 제2 층간 절연막 위에 반사 방지막을 형성하고 있으므로, 비아홀의 치수 정밀도의 열화도 억제할 수 있다. 이것에 의해, 서브 트렌치의 생

성 및 제1 배선 표면의 변질을 억제하면서, 비아홀의 바닥에 안정적으로 보호막을 형성하고, 또한 비아홀의 치수 정밀도의 열화도 억제할 수 있다.

(57) 청구의 범위

청구항 1.

제1 층간 절연막 내에 제1 배선을 형성하는 공정과,

상기 제1 배선 위에 에칭 스톱퍼막을 형성하는 공정과,

상기 에칭 스톱퍼막 위에 제2 층간 절연막과 반사 방지막을 순차적으로 형성하는 공정과,

상기 에칭 스톱퍼막에 도달하도록 상기 제2 층간 절연막과 상기 반사 방지막을 관통하는 비아홀을 형성하는 공정과,

상기 비아홀 내에 보호막을 형성하는 공정과,

상기 제2 층간 절연막에 상기 보호막에 도달하는 트렌치를 형성하는 공정과,

상기 반사 방지막과 상기 비아홀의 바닥부의 상기 에칭 스톱퍼막을 제거함으로써 상기 제1 배선의 일부 표면을 노출시키는 공정과,

상기 트렌치 내 및 상기 비아홀 내에 제2 배선을 형성하는 공정

을 포함한 반도체 장치의 제조 방법.

청구항 2.

제1 층간 절연막 내에 제1 배선을 형성하는 공정과,

상기 제1 배선 위에 에칭 스톱퍼막을 형성하는 공정과,

상기 에칭 스톱퍼막 위에 제2 층간 절연막과 반사 방지막을 순차적으로 형성하는 공정과,

상기 제2 층간 절연막에 등방성 에칭을 실시함으로써 트렌치를 형성하는 공정과,

상기 에칭 스톱퍼막에 도달하도록 상기 트렌치 아래에 비아홀을 형성하는 공정과,

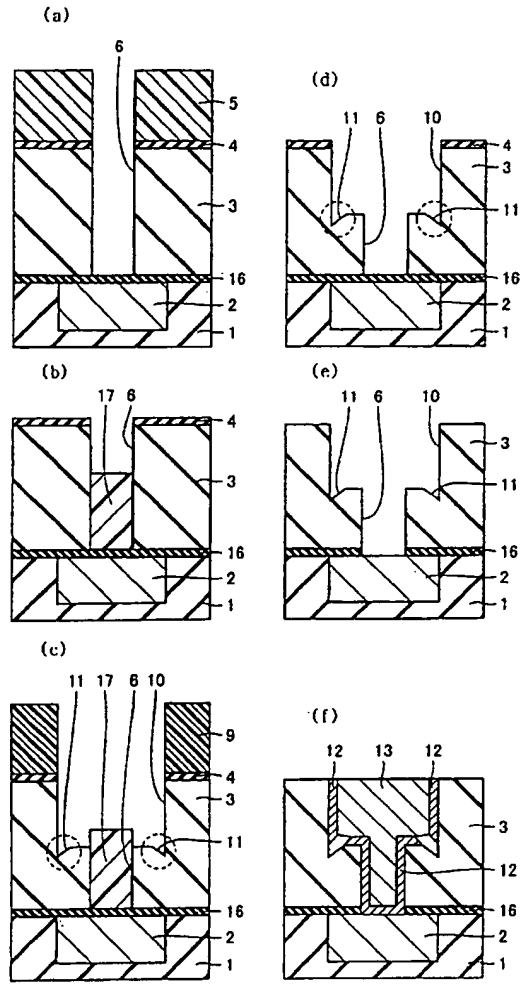
상기 반사 방지막과 상기 비아홀의 바닥부의 상기 에칭 스톱퍼막을 제거함으로써 상기 제1 배선의 일부 표면을 노출시키는 공정과,

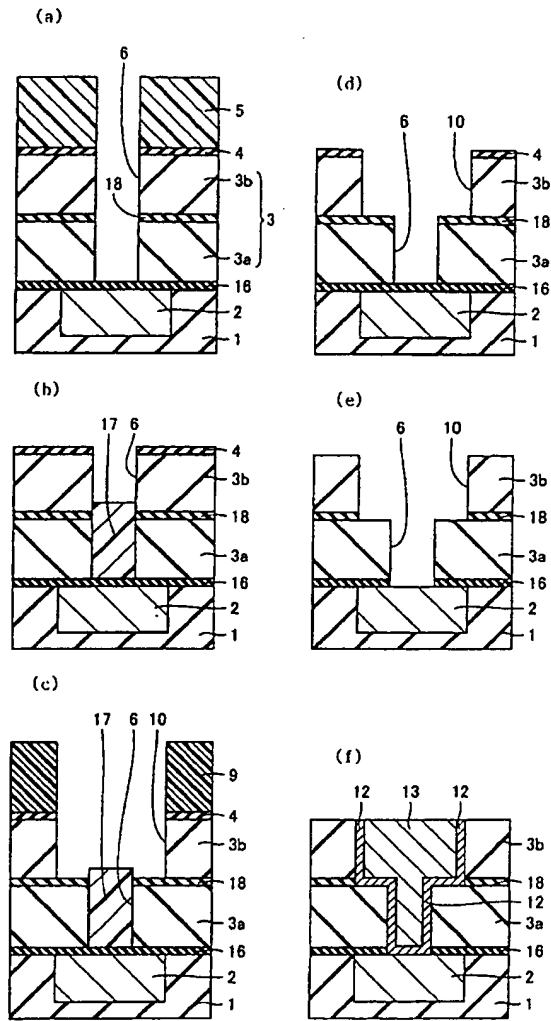
상기 트렌치 내 및 상기 비아홀 내에 제2 배선을 형성하는 공정

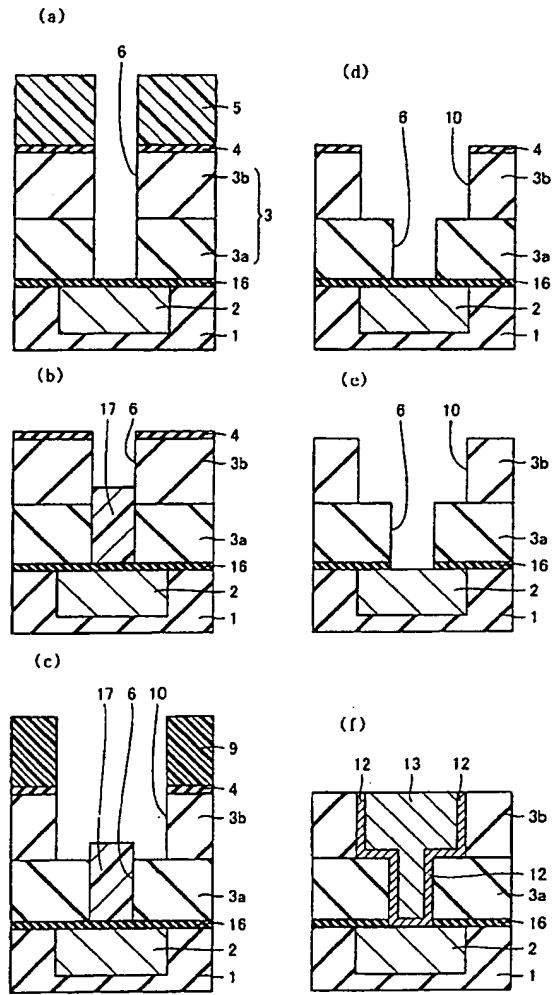
을 포함한 반도체 장치의 제조 방법.

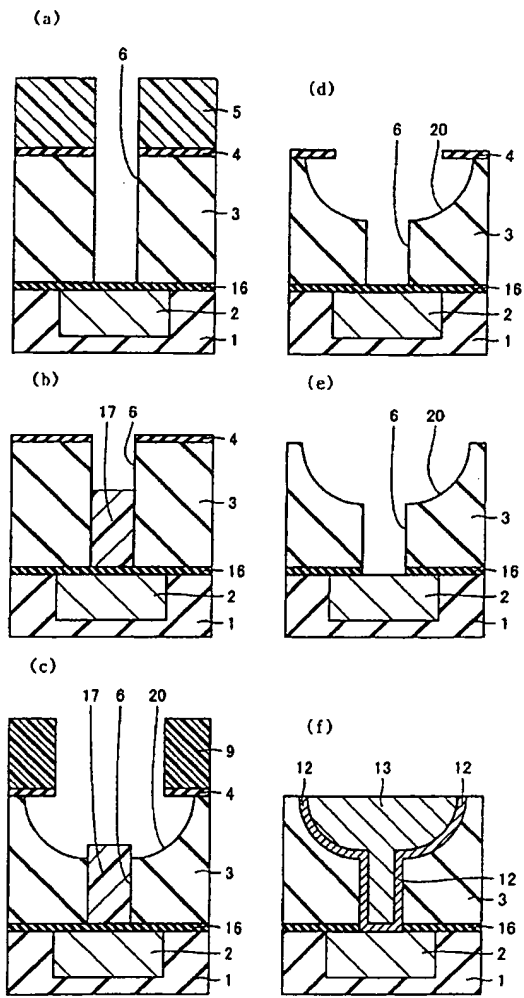
청구항 3.

제1항에 기재된 반도체 장치의 제조 방법에 의해 제조된 배선 구조를 갖는 반도체 장치.



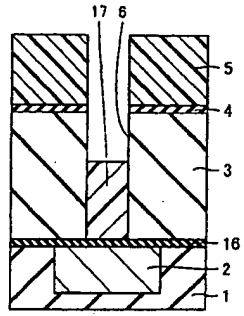




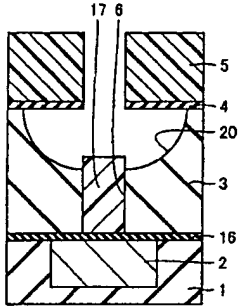


도면 5

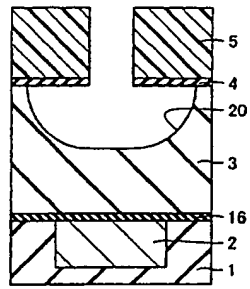
(a)



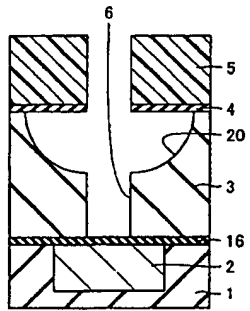
(b)



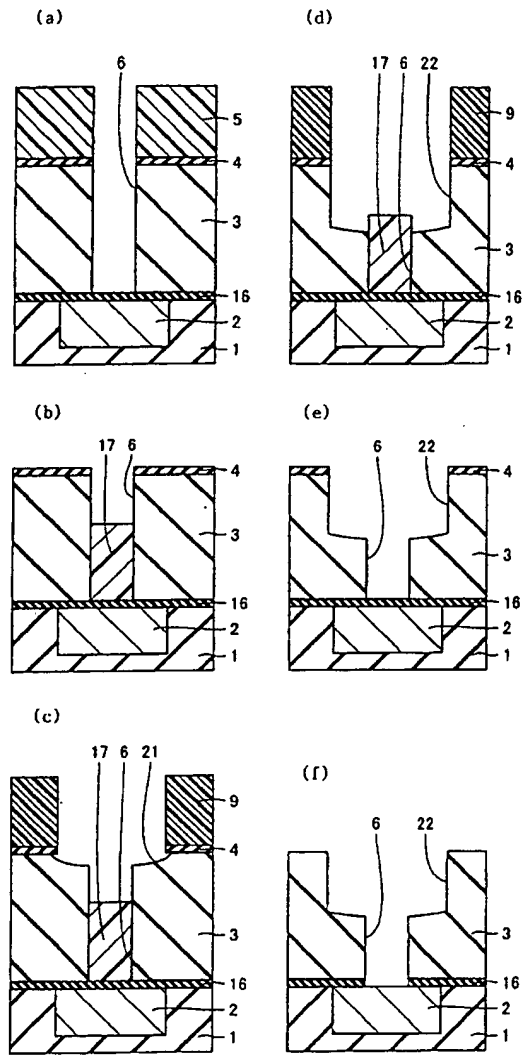
(a)



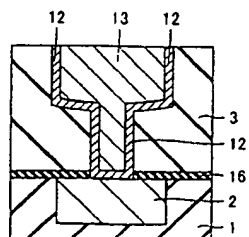
(b)



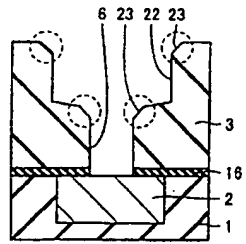
도면 7



도면 8

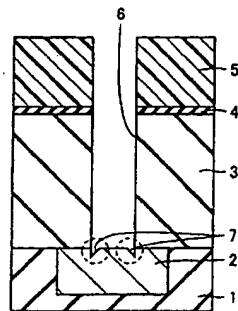


도면 9

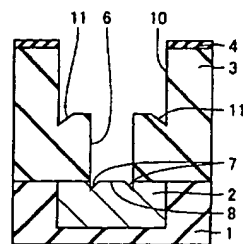


도면 10

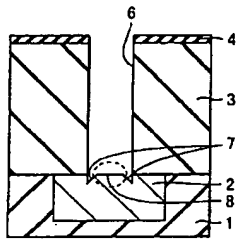
(a)



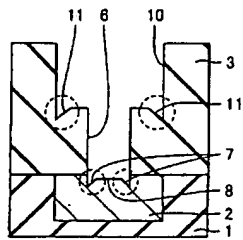
(d)



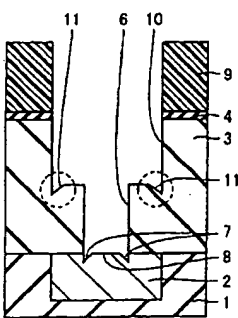
(b)



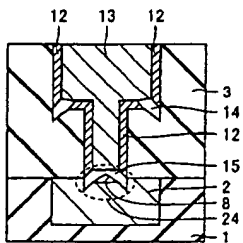
(c)



(e)



(f)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.